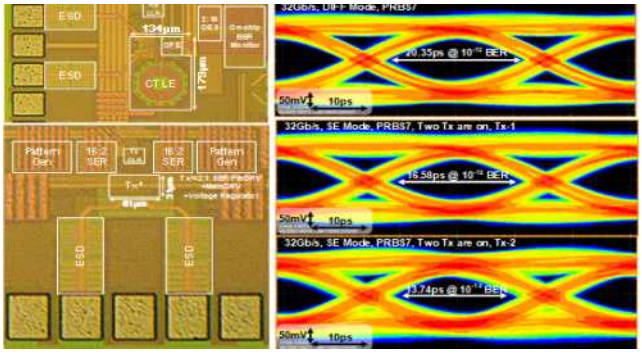
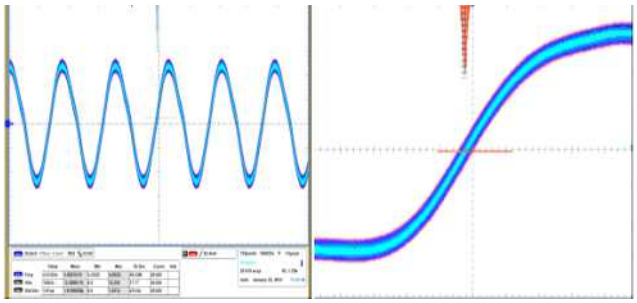
인천대학교 STAR 연구실 소개서

<table>
<tr><th colspan="6">Integrated Circuits and Systems(ICS) Laboratory</th></tr>
<tr><td rowspan="2">책임교수</td><td>성명</td><td colspan="2">송준영</td><td rowspan="2">주요
학력
경력</td><td>인천대학교 교수 (2018-현재)
박사 고려대학교 전자공학 (2014)
석사 고려대학교 전자공학 (2010)
학사 고려대학교 전자전기전파공학 (2008)</td></tr>
<tr><td>소속</td><td colspan="2">공과대학 전자공학과</td></tr>
<tr><td>구 성 원</td><td>직 책</td><td>인 원</td><td colspan="3">성 명 (담당분야)</td></tr>
<tr><td></td><td>석 사</td><td>2</td><td colspan="3">이어진(클록 및 데이터 복원 회로 설계),
유승명(클록 및 데이터 복원 회로 설계)</td></tr>
<tr><td>산학협력
희망분야</td><td colspan="5">1. 반도체 설계 관련 유선 통신용 칩 분야 산학협력 공동연구 및 기술이전
(센서 네트워크, 이더넷, 디스플레이, 메모리, 자동차 등 응용)
2. 반도체 설계 관련 파워 매니지먼트 칩 분야 산학협력 공동연구 및 기술이전
(시스템 내의 센서에 부착(HDMI 등 포트 내부))</td></tr>
<tr><td>대표연구
분야</td><td colspan="5">
</td></tr>
<tr><td>대표기술 개요
및 개발현황</td><td colspan="5">1. Wireline 인터페이스 설계
• 아날로그/ 디지털 이퀄라이저
• 클록 및 데이터 복원 회로
• 어댑티브 보정 회로
2. 클록 발생기 설계
• 다양한 유형의 PLL, DLL 설계
• 클록 네트워크 설계</td></tr>
</table>

<table>
<tr><td rowspan="2">개발 관련
시제품 사진</td><td>  </td><td>• Wireline 인터페이스 설계</td></tr>
<tr><td>  </td><td>• 클록 발생기 설계</td></tr>
<tr><td>특허 및 노하우</td><td colspan="2">
<table>
<tr><th>순번</th><th>출원번호</th><th>출원일</th><th>발명의 명칭</th></tr>
<tr><td>1</td><td>10-2019-0037739</td><td>2019-04-01</td><td>위상차 주기의 조정을 통해 노이즈를 감축할 수 있는 위상 고정 루프 기반의 주파수 고정 장치</td></tr>
<tr><td>2</td><td>10-2019-0037740</td><td>2019-04-01</td><td>랜덤 코드를 이용하여 노이즈 감쇄를 수행하는 위상 고정 루프 기반의 주파수 고정 장치</td></tr>
</table>
</td></tr>
<tr><td>논문</td><td colspan="2">

Hyunsu Park, Junyoung Song, Yeonho Lee, Jincheol Sim, Jonghyuck Choi, Chuwoo Kim, "A 3bit/2UI 27Gb/s PAM-3 Single-Ended Transceiver using One-Tap DFE for Next Generation Memory Interface,"IEEE International Solid-State Circuits Conference (ISSCC), Feb. 2019, pp. 382-383.
Junyoung Song, Yongtae Kim, Chulwoo Kim "A 9Gb/s/ch transceiver with reference-less data-embedded pseudo-differential clock signaling for graphics memory interfaces," IEEE Transactions on Circuits and Systems II, pp. 1-1 (Early Access), 2019.
Yeonho Lee, Yoonjae Choi, Junyoung Song, Sewook Hwang, Sang-Geun Bae, Jaehun Jun, Chulwoo Kim "12-Gb/s Over Four Balanced Lines Utilizing NRZ Braid Clock Signaling With No Data Overhead and Spread Transition Scheme for 8K UHD Intra-Panel Interfaces," IEEE Journal of Solid-State Circuits, vol. 52, no. 2, pp. 463-475, Feb. 2019.
Sang-Geun Bae, Sewook Hwang, Junyoung Song, Yeonho Lee, Chulwoo Kim "A ΔΣ

</td></tr>
</table>

	-Modulator based Spread-Spectrum Clock Generator with Digital Compensation and Calibration for PLL Loop Bandwidth," IEEE Transactions on Circuits and Systems II, vol. 66, no. 2, pp. 192-196, Feb. 2019. 5. Junyoung Song, Sewook Hwang, Hyun-Woo Lee, Chulwoo Kim, "A 1V 10Gb/s/pin single-ended transceiver with controllable active-inductor-based driver and adaptively calibrated cascaded-equalizer for post-LPDDR4 interfaces," IEEE Transactions on Circuits and Systems I, vol. 65, no. 1, pp. 331-342, Jan. 2018. 6. Sewook Hwang, Junyoung Song, Yeonho Lee, Chulwoo Kim, "A 1.62－5.4 Gb/s receiver for DisplayPort version 1.2a with adaptive equalization and referenceless frequency acquisition techniques," IEEE Transactions on Circuits and Systems I, vol. 64, no. 10, pp. 2691-2702, Oct. 2017.
홈페이지	https://sites.google.com/view/ics-lab